

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Japanese Patent Laid-open Publication No. 2000-137651 A

Publication date : May 16, 2000

Applicant : TEXAS INSTR JAPAN LTD

Title : DATA ERROR CORRECTION DEVICE AND METHOD THEREFOR

5

(54) [Abstract]

[Problem] There is provided a data error correction device which can perform an error correction process within a short period of time by a simple and small-scale configuration.

10 [Solving Means] The data error correction device includes a memory 24 having banks 24a and 24b, an ECC processor 22a which performs C1 correction to input data subjected to error correction to generate first error correction data and which alternately writes the generated first error correction data
15 in the banks 24a and 24b in units of data frames to which product coding is integrally performed, and an ECC processor 22b which performs C2 correction to first error correction data read from the memory 24 to generate second error correction data, which writes the generated second error
20 correction data in the banks 24a and 24b from which the data are read, and which performs the second C1 correction to the second error correction data read from the memory 24.

[0002]

25 [Prior Art] A Reed-Solomon code (to be referred to as an

RS code) is mainly used as an outer code in a recording medium or digital transmission because the RS code has good coding efficiency and is suitable for a burst error. With the development of integrated circuiting technique, an encoding/decoding IC which copes with a code having a relatively high correction capability which is higher than that of 8-byte correction can be realized by one chip, and the application range of the IC is rapidly widened. The details of the RS code are described in, e.g., reference (1) "G. C. Clark, Jr., J. B. Cain, Error-correction coding for digital communications, Plenum Press, 1981" and reference (2) "Arikawa, Mechanism of error correction code, Reed-Solomon code, TV technique magazine, the January 1989 issue to the June 1991 issue". A large number of error correction codes for a recording medium have configurations of product codes (reference (2)). More specifically, as an error correction code for a recording medium, for example, as shown in FIG. 6, a data frame for error correction in which symbols are arranged in a vertical and horizontal matrix is used. This data frame is constituted by 200 x 180 symbols obtained by vertically adding 16-byte redundant symbols (symbols for C2 parity) to an information section of 184 bytes (vertical) x 170 bytes (horizontal) and horizontally adding 10-byte redundant symbols (symbols for C1 parity) to the information section.

[0003] A data error correction device which performs error correction of the data frame described above will be described below. FIG. 7 is a diagram showing a conventional data error correction device. As shown in FIG. 7, a data error correction device 1 has an ECC processor 2, a memory controller 3, and a memory 4. In the data error correction device 1, for example, ECC input data S5 which constitutes the data frame shown in FIG. 6 and which is subjected to error correction is stored in a storage region 4a of the memory 4 first. Thereafter, the ECC input data S5 is alternately stored in the storage regions 4a and 4b in units of error correction. At this time, for example, the symbols of the data frame shown in FIG. 6 sequentially input to the data error correction device 1 as the ECC input data S5 in units of rows from the upper side to the lower side and from the left to the right in each row.

[0004] For example, upon completion of writing one data frame in the storage region 4a, the data frame is read from the storage region 4a in a predetermined pattern, and error correction is performed in the ECC processor 2. In parallel with the error correction, a data frame is written in the storage region 4b. On the other hand, upon completion of writing a data frame in the storage region 4b in units of error correction, the data frame is read from the storage region 4b into the ECC processor 2 as a predetermined pattern

to perform error correction. In parallel with the error correction, the data frame is written in the storage region 4a.

[0005] In order to continuously perform the process in the data error correction device 1 described above, an error correction process in the ECC processor 2 for one previous data frame must be finished until one data frame is stored in the storage region 4a or the storage region 4b.

[0006] In an error correction process in the data error correction device 1, first, a data frame is horizontally corrected (C1 correction performed 180 times), and the corrected data is rewritten in the original region. At this time, only data including an error is updated, the number of times of access to the memory 4 can be reduced. Correction (C2 correction performed 200 times) in the vertical direction is performed. In addition, correction is repeatedly executed in the horizontal direction (C1 correction), the vertical direction (C2 correction), ..., so that correction capability can also be improved. The respective correction results are temporarily stored in the memory 4, read again in a predetermined direction (order) when the next correction is performed, and output to the ECC processor 2.

[Brief Description of the Drawings]

[FIG. 6] FIG. 6 is a diagram for explaining an error

correction code for a recording medium.

[DRAWINGS]

[FIG. 6]

5 EXAMPLE OF DATA FRAME USING PRODUCT CODE

170 BYTES

10 BYTES

184 BYTES

16 BYTES

10 C1 CORRECTION

C2 CORRECTION

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-137651

(43)Date of publication of application : 16.05.2000

(51)Int.Cl. G06F 12/16
G06F 11/10
H03M 13/00

(21)Application number : 10-308846

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 29.10.1998

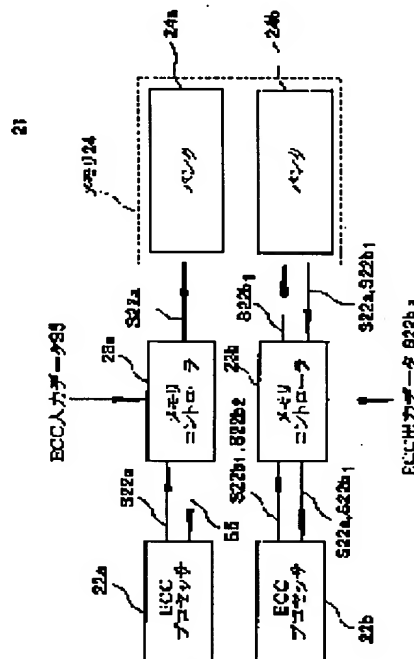
(72)Inventor : OKITA SHIGERU

(54) DEVICE AND METHOD FOR CORRECTING DATA ERROR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a data error correcting device for quickly operating error correcting processing in a simple and small-scaled constitution.

SOLUTION: This device is provided with a memory 24 equipped with banks 24a and 24b, ECC processor 22a for generating first error correction data by operating C1 correction of inputted data for error correction, and for alternately writing the generated first error correction data in the banks 24a and 24b by using a data frame for integrally operating product coding as a unit, and ECC processor 22b for generating second error correction data by operating C2 correction of the first error correction data read from the memory 24, writing the generated second error correction data in the banks 24a and 24b, and operating the second C1 correction of the second error correction data read from the memory 24.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-137651

(P2000-137651A)

(43)公開日 平成12年5月16日(2000.5.16)

(51)Int.Cl. ⁷	識別記号	F I	メモコード(参考)
G 0 6 F 12/16	3 2 0	G 0 6 F 12/16	3 2 0 G 5 B 0 0 1
			3 2 0 F 5 B 0 1 8
11/10	3 3 0	11/10	3 3 0 P 5 J 0 6 5
H 0 3 M 13/00		H 0 3 M 13/00	

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21)出願番号 特願平10-308846

(22)出願日 平成10年10月29日(1998. 10. 29)

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿六丁目24番1号

(72)発明者 沖田 茂

東京都港区北青山3丁目6番12号 青山富士ビル日本テキサス・インスツルメンツ株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 5B001 AA11 AB02 AE04

5B018 GA02 HA04 HA05 HA14 HA15

HA31 MA03 QA16 RA02

5J065 AB01 AC04 AD11 AE06 AF03

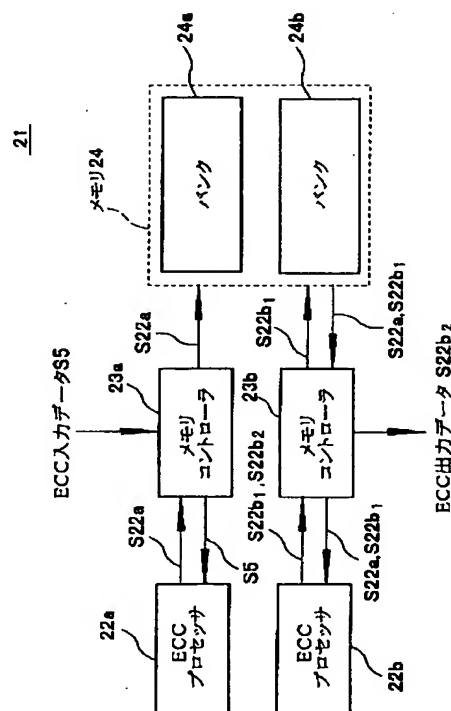
AH17 AH19

(54)【発明の名称】 データ誤り訂正装置およびその方法

(57)【要約】

【課題】 簡単かつ小規模な構成で、誤り訂正処理を短時間で行うことができるデータ誤り訂正装置を提供する。

【解決手段】 バンク24a, 24bを有するメモリ24と、入力した誤り訂正対象データにC1訂正を行って第1の誤り訂正データを生成し、当該生成した第1の誤り訂正データを、バンク24a, 24bに、積符号化が一体的に行われるデータフレームを単位として交互に書き込むECCプロセッサ22aと、メモリ24から読み出した第1の誤り訂正データのC2訂正を行って第2の誤り訂正データを生成し、当該生成した第2の誤り訂正データを前記読み出しを行ったバンク24a, 24bに書き込み、メモリ24から読み出した第2の誤り訂正データの2回目のC1訂正を行うECCプロセッサ22bとを有する。



【特許請求の範囲】

【請求項1】第1の誤り訂正符号および第2の誤り訂正符号により積符号化された誤り訂正対象データに対して、少なくとも前記第1の誤り訂正符号に対しての第1の誤り訂正と、前記第2の誤り訂正符号に対しての第2の誤り訂正と、前記第1の誤り訂正符号に対しての第3の誤り訂正とを順に行うデータ誤り訂正装置において、略同時にアクセス可能な少なくとも第1のバンクおよび第2のバンクを有する記憶回路と、前記記憶回路へのアクセスを制御する記憶回路制御回路と、

入力した前記誤り訂正対象データに前記第1の誤り訂正を行って第1の誤り訂正データを生成し、当該生成した第1の誤り訂正データを、前記第1のバンクおよび前記第2のバンクに、前記積符号化が一体的に行われるデータフレームを単位として交互に書き込む第1の誤り訂正回路と、

前記記憶回路から読み出した前記第1の誤り訂正データに前記第2の誤り訂正を行って第2の誤り訂正データを生成し、当該生成した第2の誤り訂正データを前記読み出しを行った前記第1のバンクおよび前記第2のバンクに書き込み、前記記憶回路から読み出した前記第2の誤り訂正データに前記第3の誤り訂正を行って第3の誤り訂正データを生成し、前記第1の誤り訂正回路において1データフレーム分の前記第1の誤り訂正を行う間に、1データフレーム分の前記第2の誤り訂正および前記第3の誤り訂正を行う第2の誤り訂正回路とを有するデータ誤り訂正装置。

【請求項2】前記第2の誤り訂正回路は、前記第2の誤り訂正および前記第3の誤り訂正を一組の誤り訂正とした場合に、前記第1の誤り訂正回路において1データフレーム分の前記第1の誤り訂正を行う間に、1データフレーム分の単数組または複数組の誤り訂正を行う請求項1に記載のデータ誤り訂正装置。

【請求項3】前記第2の誤り訂正回路は、消失誤り訂正を行う請求項1または請求項2に記載のデータ誤り訂正装置。

【請求項4】出力用記憶回路と、前記第3の誤り訂正データについての前記出力用記憶回路の書き込みおよび読み出しを、前記データフレームを単位として制御する出力用記憶回路制御回路とをさらに有する請求項1～3のいずれかに記載のデータ誤り訂正装置。

【請求項5】前記積符号は、リードソロモン符号の積符号である請求項1～4のいずれかに記載のデータ誤り訂正装置。

【請求項6】第1の誤り訂正符号および第2の誤り訂正符号により積符号化された誤り訂正対象データに対して、少なくとも前記第1の誤り訂正符号に対しての第1の誤り訂正と、前記第2の誤り訂正符号に対しての第2

の誤り訂正と、前記第1の誤り訂正符号に対しての第3の誤り訂正とを順に行うデータ誤り訂正装置において、第1の記憶回路と、

前記第1の記憶回路へのアクセスを制御する記憶回路制御回路と、

入力した前記誤り訂正対象データに前記第1の誤り訂正を行って第1の誤り訂正データを生成し、当該生成した第1の誤り訂正データを、前記第1の記憶回路に書き込む第1の誤り訂正回路と、

前記第1の記憶回路から読み出した前記第1の誤り訂正データに前記第2の誤り訂正を行って第2の誤り訂正データを生成し、当該生成した第2の誤り訂正データを前記第1の記憶回路に書き込み、前記第1の記憶回路から読み出した前記第2の誤り訂正データに前記第3の誤り訂正を行って第3の誤り訂正データを生成し、前記第1の誤り訂正回路において1データフレーム分の前記第1の誤り訂正を行う間に、1データフレーム分の前記第2の誤り訂正および前記第3の誤り訂正を行う第2の誤り訂正回路と、

前記第3の誤り訂正データを記憶する出力用記憶回路と、

前記第3の誤り訂正データについての前記出力用記憶回路の書き込みおよび読み出しを、前記データフレームを単位として制御する出力用記憶回路制御回路とを有するデータ誤り訂正装置。

【請求項7】前記第2の誤り訂正回路は、前記第2の誤り訂正および前記第3の誤り訂正を一組の誤り訂正とした場合に、前記第1の誤り訂正回路において1データフレーム分の前記第1の誤り訂正を行う間に、1データフレーム分の単数組または複数組の誤り訂正を行う請求項6に記載のデータ誤り訂正装置。

【請求項8】前記第2の誤り訂正回路は、消失誤り訂正を行う請求項6または請求項7に記載のデータ誤り訂正装置。

【請求項9】前記積符号は、リードソロモン符号の積符号である請求項6～8のいずれかに記載のデータ誤り訂正装置。

【請求項10】第1の誤り訂正符号および第2の誤り訂正符号により積符号化された誤り訂正対象データに対して、少なくとも前記第1の誤り訂正符号に対しての第1の誤り訂正と、前記第2の誤り訂正符号に対しての第2の誤り訂正と、前記第1の誤り訂正符号に対しての第3の誤り訂正とを順に行うデータ誤り訂正方法において、前記誤り訂正対象データに前記第1の誤り訂正を行って第1の誤り訂正データを生成し、

当該生成した第1の誤り訂正データを、記憶回路の第1のバンクおよび第2のバンクに、前記積符号化が一体的に行われるデータフレームを単位として交互に書き込み、

前記記憶回路から読み出した前記第1の誤り訂正データ

に前記第2の誤り訂正を行って第2の誤り訂正データを生成し、

当該生成した第2の誤り訂正データを前記読み出しを行った前記第1のバンクおよび前記第2のバンクに書き込み、

前記記憶回路から読み出した前記第2の誤り訂正データに前記第3の誤り訂正を行って第3の誤り訂正データを生成し、

1データフレーム分の前記第1の誤り訂正を行う間に、1データフレーム分の前記第2の誤り訂正および前記第3の誤り訂正を行うように、前記第1の誤り訂正と、前記第2の誤り訂正および前記第3の誤り訂正とを並行して行うデータ誤り訂正方法。

【請求項11】前記積符号は、リードソロモン符号の積符号である請求項10に記載のデータ誤り訂正方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、リードソロモン符号などの積符号化された誤り訂正対象データの誤り訂正を行うデータ誤り訂正装置およびその方法に関する。

【0002】

【従来の技術】リード・ソロモン符号（以下RS符号）は、その符号化効率の良さとバーストエラーに対する適性から、主に記録媒体やデジタル伝送の外符号に用いられている。また、IC化技術の進歩とともに、8バイト訂正以上の比較的訂正能力の高い符号に対応した符号化／復号ICが1チップで実現できるようになり、その応用範囲が急速に広まった。このRS符号については、例えば文献（1）「G.C.Clark, Jr.、J.B.Cain著、Error-correction coding for digital communications、Plenum Press、1981年」や文献（2）「有川著、誤り訂正符号の仕組みリード・ソロモン符号、テレビ技術誌1989年1月号～1991年6月号」に詳しく記載されている。記録媒体用の誤り訂正符号は、積符号の構成をとることが多い（文献（2））。具体的には、記録媒体用の誤り訂正符号として、例えば、図6に示すように、縦横のマトリックス状にシンボルを配置した誤り訂正用のデータフレームが用いられる。このデータフレームは、184バイト（縦）×170バイト（横）の情報部に対して、縦方向に16バイトの冗長シンボル（C2パリティ用のシンボル）を付加し、横方向に10バイトの冗長シンボル（C1パリティ用のシンボル）を付加した200×180のシンボルからなる。

【0003】以下、上述したようなデータフレームの誤り訂正を行うデータ誤り訂正装置について説明する。図7は、従来のデータ誤り訂正装置1の構成図である。図7に示すように、データ誤り訂正装置1は、ECCプロセッサ2、メモリコントローラ3およびメモリ4を有する。データ誤り訂正装置1では、例えば、図6に示すデ

ータフレームを構成する誤り訂正の対象となるECC入力データS5が、まず、メモリ4の記憶領域4aに記憶される。その後、ECC入力データS5は、誤り訂正の単位で、記憶領域4aと4bとに交互に記憶される。このとき、例えば、図6に示すデータフレームのシンボルが、行単位で上から下に向けて、かつ、各行内で左から右に向けて順にECC入力データS5としてデータ誤り訂正装置1に入力される。

【0004】そして、例えば、記憶領域4aへの1データフレームの書き込みが完了すると、メモリコントローラ3の制御に基づいて、記憶領域4aからデータフレームが所定のパターンで読み出され、ECCプロセッサ2において誤り訂正が行われる。また、それと並行して、記憶領域4bへのデータフレームの書き込みが行われる。一方、誤り訂正の単位のデータフレームの記憶領域4bへの書き込みが完了すると、メモリコントローラ3の制御に基づいて、記憶領域4bからECCプロセッサ2にデータフレームが所定のパターンで読み出されて誤り訂正が行われる。また、それと並行して、記憶領域4aへのデータフレームの書き込みが行われる。

【0005】上述したようなデータ誤り訂正装置1における処理を連続的に行うには、記憶領域4aあるいは4bに1データフレームが記憶されるまでに、先の1データフレームについてのECCプロセッサ2における誤り訂正処理を終了する必要がある。

【0006】データ誤り訂正装置1における誤り訂正処理では、最初、データフレームを横方向から訂正し（180回のC1訂正）、訂正後のデータは元の領域に書き戻される。このとき、エラーが生じたデータのみ書き換えると、メモリ4に対するアクセス回数を削減できる。次に、縦方向での訂正（200回のC2訂正）を実行する。さらに、横方向（C1訂正）、縦方向（C2訂正）、... というように訂正を繰り返し実行していくことで訂正能力を高めることも可能である。それぞれの訂正の結果はメモリ4に一旦記憶されて、次の訂正を行う際に、再度所定の方向（順序）で読み出されて、ECCプロセッサ2に出力される。

【0007】通常の訂正手法では、最大訂正数は冗長シンボルの数の半分である。図6に示すような積符号化されたデータフレームものは、2回目以降の訂正において、消失誤り訂正(Erasur Error Correction)を行うことで、その訂正能力を高めることができる。消失誤り訂正では、例えば、C1訂正およびC2訂正を順に行う場合には、C1の復号でランダム誤りを訂正すると同時に、訂正能力を越すランダム誤りおよびバースト誤りについては誤りが存在していることを示すため、その符号語の全シンボルにポインタ（消失フラグ）を付加する。このポインタはC2の誤り位置を示し、C2の復号では、この情報を利用する。

【0008】そのため、以上述べたような積符号化され

たデータフレームについては、C1、C2の最低2回の訂正を実行するのが基本であるが、縦横両方向とも消失誤り訂正を行うという意味では、最低でもC1、C2、C1の3回の訂正を実行することが望ましい。この場合には、メモリ4に対するアクセスは、データフレームのメモリ4への最初の書き込みと、C1、C2訂正を行うためのECCプロセッサ2への読み込みと、これらの訂正の結果の書き込みと、2回目のC1訂正を行うためのECCプロセッサ2への読み込みの合計6回必要である。

【0009】

【発明が解決しようとする課題】しかしながら、このように、誤り訂正のために、メモリ4に対して6回ものアクセスを行うと、訂正処理時間全体に占めるメモリ4へのアクセス時間の割合が高くなり、高速化を図ることが困難になるという問題がある。

【0010】また、近年、コンピュータ用記録メディアに対する高速アクセスを実現する要求が高まっている。そのため、誤り訂正処理の高速化の要求も大きい。このような高速化を実現するには、例えば複数のECCプロセッサ2を用いて並列動作を行うことが考えられる。しかしながら、ECCプロセッサ2を単純に複数にすると、回路規模が大幅に増大してしまうという問題がある。

【0011】ところで、誤り訂正用のメモリは、出力用のバッファメモリと共用する場合が多い。図8は、従来のその他のデータ誤り訂正装置11の構成図である。図8に示すように、データ誤り訂正装置11は、ECCプロセッサ2、メモリコントローラ13、出力用バッファメモリ14および出力コントローラ16を有する。データ誤り訂正装置11では、ECC入力データS5が、出力用バッファメモリ14の記憶領域14a₁～14a_mに向けて順に記憶される。そして、例えば、ECC入力データS5が記憶領域14a_n (n<m)に書き込まれているときに、既に書き込みが完了している記憶領域内のデータについて、メモリコントローラ13の制御に基づいて、ECCプロセッサ2における誤り訂正処理が行われる。そして、誤り訂正の結果が出力用バッファメモリ14に記憶され、出力コントローラ16によって、読み出しを行う出力用バッファメモリ14の記憶領域が指定され、読み出された誤り訂正の結果が、適当なフォーマットに変換されて出力データS16として出力される。

【0012】しかしながら、図8に示すデータ誤り訂正装置11においても、前述した図7に示すデータ誤り訂正装置1と同様の問題がある。

【0013】本発明は上述した従来技術の問題点に鑑みてなされ、簡単かつ小規模な構成で、誤り訂正処理を短時間で行うことができるデータ誤り訂正装置およびその方法を提供することを目的とする。

【0014】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上述した目的を達成するために、本発明の第1の観点のデータ誤り訂正装置は、第1の誤り訂正符号および第2の誤り訂正符号により積符号化された誤り訂正対象データに対して、少なくとも前記第1の誤り訂正符号に対しての第1の誤り訂正と、前記第2の誤り訂正符号に対しての第2の誤り訂正と、前記第1の誤り訂正符号に対しての第3の誤り訂正とを順に行うデータ誤り訂正装置であって、略同時にアクセス可能な少なくとも第1のバンクおよび第2のバンクを有する記憶回路と、前記記憶回路へのアクセスを制御する記憶回路制御回路と、入力した前記誤り訂正対象データに前記第1の誤り訂正を行って第1の誤り訂正データを生成し、当該生成した第1の誤り訂正データを、前記第1のバンクおよび前記第2のバンクに、前記積符号化が一体的に行われるデータフレームを単位として交互に書き込む第1の誤り訂正回路と、前記記憶回路から読み出した前記第1の誤り訂正データに前記第2の誤り訂正を行って第2の誤り訂正データを生成し、当該生成した第2の誤り訂正データを前記読み出しを行った前記第1のバンクおよび前記第2のバンクに書き込み、前記記憶回路から読み出した前記第2の誤り訂正データに前記第3の誤り訂正を行って第3の誤り訂正データを生成し、前記第1の誤り訂正回路において1データフレーム分の前記第1の誤り訂正を行う間に、1データフレーム分の前記第2の誤り訂正および前記第3の誤り訂正を行う第2の誤り訂正回路とを有する。

【0015】本発明の第1の観点のデータ誤り訂正装置では、入力された誤り訂正対象データに対して、第1の誤り訂正回路において、第1の誤り訂正が行われ、その訂正結果である第1の誤り訂正データが、記憶回路の第1のバンクおよび第2のバンクに、前記積符号化が一体的に行われるデータフレームを単位として交互に書き込まれる。そして、前記記憶回路から読み出された前記第1の誤り訂正データに対して、第2の誤り訂正回路において、第2の誤り訂正が行われて第2の誤り訂正データが生成される。そして、当該生成した第2の誤り訂正データが、前記読み出しを行った前記第1のバンクおよび前記第2のバンクに書き込まれる。そして、前記記憶回路から読み出された前記第2の誤り訂正データに対して、第2の誤り訂正回路において、第3の誤り訂正が行われて第3の誤り訂正データが生成される。このとき、前記第1の誤り訂正回路において1データフレーム分の前記第1の誤り訂正を行う間に、前記第2の誤り訂正回路において1データフレーム分の前記第2の誤り訂正および前記第3の誤り訂正が行われる。

【0016】また、本発明の第1の観点のデータ誤り訂正装置は、好ましくは、前記第2の誤り訂正回路は、前記第2の誤り訂正および前記第3の誤り訂正を一組の誤

り訂正とした場合に、前記第1の誤り訂正回路において1データフレーム分の前記第1の誤り訂正を行う間に、1データフレーム分の単数組または複数組の誤り訂正を行う。

【0017】また、本発明の第1の観点のデータ誤り訂正装置は、好ましくは、前記第2の誤り訂正回路は、消失誤り訂正を行う。

【0018】また、本発明の第1の観点のデータ誤り訂正装置は、好ましくは、出力用記憶回路と、前記第3の誤り訂正データについての前記出力用記憶回路の書き込みおよび読み出しを、前記データフレームを単位として制御する出力用記憶回路制御回路とをさらに有する。

【0019】また、本発明の第1の観点のデータ誤り訂正装置は、好ましくは、前記積符号は、リードソロモン符号の積符号である。

【0020】また、本発明の第2の観点のデータ誤り訂正装置は、第1の誤り訂正符号および第2の誤り訂正符号により積符号化された誤り訂正対象データに対して、少なくとも前記第1の誤り訂正符号に対しての第1の誤り訂正と、前記第2の誤り訂正符号に対しての第2の誤り訂正と、前記第1の誤り訂正符号に対しての第3の誤り訂正とを順に行うデータ誤り訂正装置であって、第1の記憶回路と、前記第1の記憶回路へのアクセスを制御する記憶回路制御回路と、入力した前記誤り訂正対象データに前記第1の誤り訂正を行って第1の誤り訂正データを生成し、当該生成した第1の誤り訂正データを、前記第1の記憶回路に書き込む第1の誤り訂正回路と、前記第1の記憶回路から読み出した前記第1の誤り訂正データに前記第2の誤り訂正を行って第2の誤り訂正データを生成し、当該生成した第2の誤り訂正データを前記第1の記憶回路に書き込み、前記第1の記憶回路から読み出した前記第2の誤り訂正データに前記第3の誤り訂正を行って第3の誤り訂正データを生成し、前記第1の誤り訂正回路において1データフレーム分の前記第1の誤り訂正を行う間に、1データフレーム分の前記第2の誤り訂正および前記第3の誤り訂正を行う第2の誤り訂正回路と、前記第3の誤り訂正データを記憶する出力用記憶回路と、前記第3の誤り訂正データについての前記出力用記憶回路の書き込みおよび読み出しを、前記データフレームを単位として制御する出力用記憶回路制御回路とを有する。

【0021】さらに、本発明のデータ誤り訂正方法は、第1の誤り訂正符号および第2の誤り訂正符号により積符号化された誤り訂正対象データに対して、少なくとも前記第1の誤り訂正符号に対しての第1の誤り訂正と、前記第2の誤り訂正符号に対しての第2の誤り訂正と、前記第1の誤り訂正符号に対しての第3の誤り訂正とを順に行うデータ誤り訂正方法であって、前記誤り訂正対象データに前記第1の誤り訂正を行って第1の誤り訂正データを生成し、当該生成した第1の誤り訂正データ

を、記憶回路の第1のバンクおよび第2のバンクに、前記積符号化が一体的に行われるデータフレームを単位として交互に書き込み、前記記憶回路から読み出した前記第1の誤り訂正データに前記第2の誤り訂正を行って第2の誤り訂正データを生成し、当該生成した第2の誤り訂正データを前記読み出しを行った前記第1のバンクおよび前記第2のバンクに書き込み、前記記憶回路から読み出した前記第2の誤り訂正データに前記第3の誤り訂正を行って第3の誤り訂正データを生成し、1データフレーム分の前記第1の誤り訂正を行う間に、1データフレーム分の前記第2の誤り訂正および前記第3の誤り訂正を行うように、前記第1の誤り訂正と、前記第2の誤り訂正および前記第3の誤り訂正とを並行して行う。

【0022】

【発明の実施の形態】以下、本発明の実施形態に係わるデータ誤り訂正装置について説明する。

第1実施形態

図1は、本実施形態のデータ誤り訂正装置21の構成図である。図1に示すように、データ誤り訂正装置21は、ECCプロセッサ22a、22b、メモリコントローラ23a、23bおよびメモリ24を有する。

【0023】メモリ24は、略同時にアクセス可能なバンク24aおよび24bを有し、ECC出力データS22aおよびS22b₁を記憶するバンクを1データフレーム単位で切り換えると共に、ECC出力データS22b₁を読み出すバンクを1データフレーム単位で切り換える。なお、バンク24aおよび24bは、それぞれ1データフレーム分のC1、C2訂正結果を記憶可能な記憶容量を有する。

【0024】メモリコントローラ23aは、ECC入力データS5のECCプロセッサ22aへの供給と、ECCプロセッサ22aとメモリ24のバンク24aとの間のデータ転送を制御する。また、メモリコントローラ23aは、ECC出力データS22b₂の出力と、ECCプロセッサ22bとメモリ24のバンク24bとの間のデータ転送を制御する。

【0025】ECCプロセッサ22aは、メモリコントローラ23aの制御に基づいて、ECC入力データS5を入力して、当該入力したECC入力データS5に対してC1訂正を行う。このとき、例えば、図6に示すデータフレームのシンボルが、行単位で上から下に向けて、かつ、各行内で左から右に向けて順にECC入力データS5としてECCプロセッサ22aに入力され、図6に示す1行分のシンボルが入力される度に当該1行分のシンボルについてC1訂正が行われる。ECCプロセッサ22aにおけるC1訂正の結果は、メモリコントローラ23aの制御に基づいて、ECC出力データS22aとして、データフレーム単位で、メモリ24のバンク24aおよび24bに交互に書き込まれる。

【0026】ECCプロセッサ22bは、メモリコント

ローラ23bの制御に基づいて、メモリ24のバンク24aおよび24bから読み出された、ECCプロセッサ22aにおいてC1訂正が行われたECC出力データS22aについてC2訂正およびC1訂正を順に行う。ECCプロセッサ22bは、例えば、ECC出力データS22aについてC1訂正およびC2訂正をそれぞれ1回ずつ行う場合には、まず、バンク24aあるいはバンク24bから読み出したECC出力データS22aについてC2訂正を行い、その訂正結果をECC出力データS22b₁として、読み出しを行ったバンク24aあるいはバンク24bに書き込む。次に、ECCプロセッサ22bは、バンク24aあるいはバンク24bから読み出したECC出力データS22b₁についてC1訂正を行い、メモリコントローラ23bの制御に基づいて、その訂正結果をECC出力データS22b₂として出力する。なお、ECCプロセッサ22bでは、C1訂正およびC2訂正を行う際に、前述した消失誤り訂正を行うことが可能である。

【0027】以下、図1に示すデータ誤り訂正装置21の動作について図2を参照しながら説明する。図2は、図1に示すメモリ24のバンク24a、24bへのアクセスを説明するための図である。まず、時刻 $t_0 \sim t_1$ において、ECC入力データS5が、メモリコントローラ23aの制御に基づいて、ECCプロセッサ22aに入力され、ECCプロセッサ22aにおいて、図6に示す1行分のシンボルが入力される度に当該1行分のシンボルについてC1訂正が行われる。当該C1訂正結果は、メモリコントローラ23aの制御に基づいて、ECC出力データS22aとして、ECCプロセッサ22aからメモリ24のバンク24aに書き込まれる。そして、時刻 t_1 に、1データフレーム分のECC出力データS22aがバンク24aに書き込まれる。

【0028】次に、時刻 $t_1 \sim t_2$ において、メモリコントローラ23bの制御に基づいて、前述したECC出力データS22aが図6に示す列単位で順にメモリ24のバンク24aからECCプロセッサ22bに読み出される。そして、ECCプロセッサ22bにおいて、ECC出力データS22aのC2訂正が行われ、メモリコントローラ23bの制御に基づいて、そのC2訂正結果がECC出力データS22b₁として、バンク24aに書き込まれる。そして、時刻 t_2 に、1データフレーム分のECC出力データS22b₁がバンク24aに書き込まれる。

【0029】次に、時刻 $t_2 \sim t_3$ において、メモリコントローラ23bの制御に基づいて、前述したECC出力データS22b₁が図6に示す行単位で順にメモリ24のバンク24aからECCプロセッサ22bに読み出される。そして、ECCプロセッサ22bにおいて、ECC出力データS22b₁のC1訂正が行われ、メモリコントローラ23bの制御に基づいて、そのC1訂正結

果がECC出力データS22b₂として出力される。そして、時刻 t_3 に、1データフレーム分のECC出力データS22b₂の出力が完了する。

【0030】また、時刻 $t_1 \sim t_3$ において、前述したECCプロセッサ22bの処理と並行して、次の1データフレームについて、ECC入力データS5が、メモリコントローラ23aの制御に基づいて、ECCプロセッサ22aに入力され、ECCプロセッサ22aにおいて、図6に示す1行分のシンボルが入力される度に当該1行分のシンボルについてC1訂正が行われる。当該C1訂正結果は、メモリコントローラ23aの制御に基づいて、ECC出力データS22aとして、ECCプロセッサ22aからメモリ24のバンク24bに書き込まれる。そして、時刻 t_3 に、1データフレーム分のECC出力データS22aがバンク24bに書き込まれる。

【0031】次に、時刻 $t_3 \sim t_4$ において、メモリコントローラ23bの制御に基づいて、前述したECC出力データS22aが図6に示す列単位で順にメモリ24のバンク24bからECCプロセッサ22bに読み出される。そして、ECCプロセッサ22bにおいて、ECC出力データS22aのC2訂正が行われ、メモリコントローラ23bの制御に基づいて、そのC2訂正結果がECC出力データS22b₁として、バンク24bに書き込まれる。そして、時刻 t_4 に、1データフレーム分のECC出力データS22b₁がバンク24bに書き込まれる。

【0032】次に、時刻 $t_4 \sim t_5$ において、メモリコントローラ23bの制御に基づいて、前述したECC出力データS22b₁が図6に示す行単位で順にメモリ24のバンク24bからECCプロセッサ22bに読み出される。そして、ECCプロセッサ22bにおいて、ECC出力データS22b₁のC1訂正が行われ、メモリコントローラ23bの制御に基づいて、そのC1訂正結果がECC出力データS22b₂として出力される。そして、時刻 t_5 に、1データフレーム分のECC出力データS22b₂の出力が完了する。

【0033】また、時刻 $t_3 \sim t_5$ において、前述したECCプロセッサ22bの処理と並行して、次の1データフレームについて、ECC入力データS5が、メモリコントローラ23aの制御に基づいて、ECCプロセッサ22aに入力され、ECCプロセッサ22aにおいて、図6に示す1行分のシンボルが入力される度に当該1行分のシンボルについてC1訂正が行われる。当該C1訂正結果は、メモリコントローラ23aの制御に基づいて、ECC出力データS22aとして、ECCプロセッサ22aからメモリ24のバンク24aに書き込まれる。そして、時刻 t_5 に、1データフレーム分のECC出力データS22aがバンク24aに書き込まれる。

【0034】次に、時刻 $t_5 \sim t_6$ において、メモリコントローラ23bの制御に基づいて、前述したECC出

力データS22aが図6に示す列単位で順にメモリ24のバンク24aからECCプロセッサ22bに読み出される。そして、ECCプロセッサ22bにおいて、ECC出力データS22aのC2訂正が行われ、メモリコントローラ23bの制御に基づいて、そのC2訂正結果がECC出力データS22b₁として、バンク24aに書き込まれる。そして、時刻t₆に、1データフレーム分のECC出力データS22b₁がバンク24aに書き込まれる。

【0035】次に、時刻t₆～t₇において、メモリコントローラ23bの制御に基づいて、前述したECC出力データS22b₁が図6に示す行単位で順にメモリ24のバンク24aからECCプロセッサ22bに読み出される。そして、ECCプロセッサ22bにおいて、ECC出力データS22b₁のC1訂正が行われ、メモリコントローラ23bの制御に基づいて、そのC1訂正結果がECC出力データS22b₂として出力される。そして、時刻t₇に、1データフレーム分のECC出力データS22b₂の出力が完了する。

【0036】また、時刻t₅～t₇において、前述したECCプロセッサ22bの処理と並行して、次の1データフレームについて、ECC入力データS5が、メモリコントローラ23aの制御に基づいて、ECCプロセッサ22aに入力され、ECCプロセッサ22aにおいて、図6に示す1行分のシンボルが入力される度に当該1行分のシンボルについてC1訂正が行われる。当該C1訂正結果は、メモリコントローラ23aの制御に基づいて、ECC出力データS22aとして、ECCプロセッサ22aからメモリ24のバンク24bに書き込まれる。そして、時刻t₅に、1データフレーム分のECC出力データS22aがバンク24bに書き込まれる。

【0037】以上説明したように、データ誤り訂正装置21によれば、図6に示すデータフレームに対してC1訂正、C2訂正およびC1訂正を順に行う場合に、最初のC1訂正を行うECCプロセッサ22aと、C2訂正と2回目のC1訂正を行うECCプロセッサ22bと、ECCプロセッサ22a、22bから独立して同時にアクセス可能なバンク24a、24bを備えたメモリ24とを有し、ECCプロセッサ22aにおいて1データフレーム分の最初のC1訂正を行う間に、先のデータフレームのC2訂正および2回目のC1訂正が行われる。そのため、ECCプロセッサ22aにおけるECC入力データS5のC1訂正結果が、メモリ24のバンク24aおよび24bに交互に途切れなく書き込まれ、訂正処理時間全体に占めるメモリ24へのアクセス時間の割合を従来に比べて低くでき、訂正処理の高速化が図れる。

【0038】また、データ誤り訂正装置21によれば、ECCプロセッサ22aは最初のC1訂正のみを行い、複雑な消失誤り訂正処理は行わない。そのため、ECC

プロセッサ22aの構成を、ECCプロセッサ22bに比べて簡単かつ小規模にでき、従来のように、同じ機能のECCプロセッサを2つ設けた場合に比べて、データ誤り訂正装置21の全体構成を簡単かつ小規模にできる。

【0039】なお、上述した図2に示す例では、ECCプロセッサ22aにおいて1データフレーム分の最初のC1訂正を行う間に、ECCプロセッサ22bにおいて先の1データフレーム分のC2訂正および2回目のC1訂正を行う場合を例示したが、1データフレームに対してC1訂正、C2訂正、C1訂正、C2訂正およびC1訂正を順に行う場合には、図3に示すように、ECCプロセッサ22aにおいて1データフレーム分の最初のC1訂正を行う間に、ECCプロセッサ22bにおいて先の1データフレーム分の最初のC2訂正、2回目のC1訂正、2回目のC2訂正および3回目のC1訂正を行う。このようにすることで、誤り訂正の精度を高めることができるが、ECCプロセッサ22bの処理速度を上げる必要がある。

【0040】また、図1に示すデータ誤り訂正装置21の変形例としては、例えば、ECC入力データS5をメモリ24に一旦記憶し、ECCプロセッサ22a、22bにおける訂正処理を経て、誤りのあるデータのみを更新してもよい。

【0041】第2実施形態

図4は、本実施形態のデータ誤り訂正装置31の構成図である。図4に示すように、データ誤り訂正装置31は、ECCプロセッサ22a、22b、メモリコントローラ23a、23b、メモリ24、バッファメモリコントローラ33、出力用バッファメモリ34および出力コントローラ36を有する。図4に示す構成要素のうち図1と同じ符号を付したものは、前述した第1実施形態で説明したものと同一である。具体的には、ECCプロセッサ22a、22b、メモリコントローラ23a、23bおよびメモリ24は、第1実施形態で前述したものと同一である。すなわち、図4に示すデータ誤り訂正装置31は、図1に示すデータ誤り訂正装置21に、バッファメモリコントローラ33、出力用バッファメモリ34および出力コントローラ36を加えた構成をしている。

【0042】出力用バッファメモリ34は、記憶領域34₁～34_mを有し、各記憶領域は、例えば1データフレーム分の訂正結果を記憶可能な記憶容量を有する。出力用バッファメモリ34は、バッファメモリコントローラ33の制御に基づいて、ECCプロセッサ22bから出力されたECC出力データS22b₂を、記憶領域34₁～34_mに順に記憶する。また、出力用バッファメモリ34は、バッファメモリコントローラ33の制御に基づいて、各記憶領域に記憶したECC出力データS22b₂を読み出して出力コントローラ36に出力す

る。このとき、出力用バッファメモリ34の記憶領域のうち、ECC出力データS22b₂の書き込みが完了している記憶領域から読み出しが行われる。例えば、記憶領域34₁～34_{n-1}にECC出力データS22b₂の書き込みが完了した場合には、記憶領域34_k (k<n)から読み出しが行われる。

【0043】バッファメモリコントローラ33は、出力用バッファメモリ34の各記憶領域に対しての読み出しおよび書き込みを制御する。

【0044】出力コントローラ36は、出力用バッファメモリ34から読み出されたECC出力データS22b₂を適当なフォーマットに変換して出力データS36として出力する。

【0045】以上説明したように、データ誤り訂正装置31によれば、前述した第1実施形態のデータ誤り訂正装置21の効果に加えて、以下の効果を有することができる。すなわち、データ誤り訂正装置31によれば、メモリコントローラ23a、23bとは別に、出力用バッファメモリ34の入出力制御専用のバッファメモリコントローラ33を設けたことで、図8に示すデータ誤り訂正装置11と比べて、出力用バッファメモリ34の入出力動作を高速に行うことができる。

【0046】第3実施形態

図5は、本実施形態のデータ誤り訂正装置41の構成図である。図5に示すように、データ誤り訂正装置41は、ECCプロセッサ22a、22b、メモリコントローラ43、メモリ44、出力コントローラ46、バッファメモリコントローラ53、出力用バッファメモリ54およびコントローラ63を有する。ここで、図5において、図1と同じ符号を付した構成要素は、第1実施形態で前述したものと同一である。具体的には、ECCプロセッサ22a、22bは前述した第1実施形態で説明したものと同一である。

【0047】コントローラ63は、ECC入力データS5をECCプロセッサ22aに出力し、ECCプロセッサ22aから出力されたECC出力データS22aをバッファメモリコントローラ53に出力する。

【0048】バッファメモリコントローラ53は、ECCプロセッサ22aから出力されたECC出力データS22aを、データフレーム単位で、出力用バッファメモリ54の記憶領域54₁～54_mに順に書き込む。また、バッファメモリコントローラ53は、出力用バッファメモリ54からECC出力データS22aを図6に示す列単位で読み出してECCプロセッサ22bに出力する。また、バッファメモリコントローラ53は、ECCプロセッサ22bが出力したECC出力データS22b₂を、出力用バッファメモリ54の既にECC出力データS22aが読み出された記憶領域54₁～54_mに順に書き込む。また、バッファメモリコントローラ53は、出力用バッファメモリ54の記憶領域54₁～54

_mに記憶されているECC出力データS22b₂を順に読み出して出力コントローラ46に出力する。

【0049】出力用バッファメモリ54は、前述した図4に示す出力用バッファメモリ34と同じ構成を有しているが、バッファメモリコントローラ53によるアクセス形態が異なる。

【0050】ECCプロセッサ22bは、メモリコントローラ43の制御に基づいて、出力用バッファメモリ54から読み出されたECC出力データS22aのC2訂正を行い、その訂正結果であるECC出力データS22b₁をメモリ44に書き込む。また、ECCプロセッサ22bは、メモリコントローラ43の制御に基づいて、メモリ44から読み出されたECC出力データS22b₁のC1訂正を行い、その訂正結果であるECC出力データS22b₂を出力する。ここで、ECCプロセッサ22bにおける1データフレームのC2訂正および2回目のC1訂正は、ECCプロセッサ22aにおいて1データフレームの1回目のC1訂正が行われる間に完了する。

【0051】メモリ44は、ECCプロセッサ22bから出力された1データフレーム分のECC出力データS22b₁を記憶可能な記憶容量を有する。

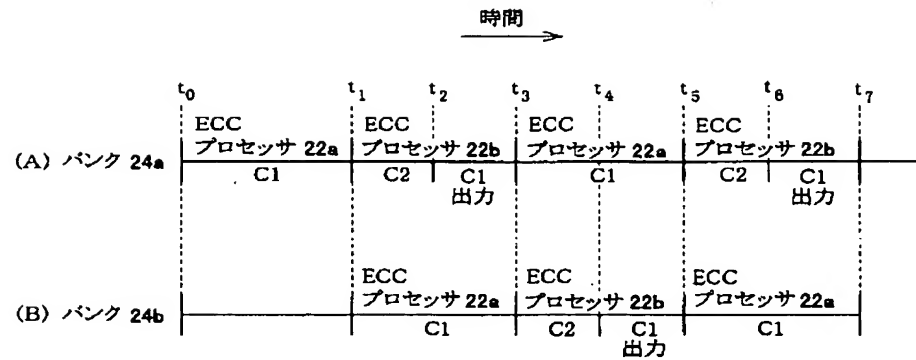
【0052】メモリコントローラ43は、ECCプロセッサ22bおよびメモリ44のデータ入出力を制御する。

【0053】以下、図5に示すデータ誤り訂正装置41の動作について説明する。まず、ECC入力データS5が、コントローラ63の制御に基づいて、ECCプロセッサ22aに入力され、ECCプロセッサ22aにおいて、図6に示す1行分のシンボルが入力される度に当該1行分のシンボルについて1回目のC1訂正が行われる。当該C1訂正結果は、コントローラ63およびバッファメモリコントローラ53の制御に基づいて、ECC出力データS22aとして、ECCプロセッサ22aから出力用バッファメモリ54の記憶領域54₁～54_mに順に書き込まれる。

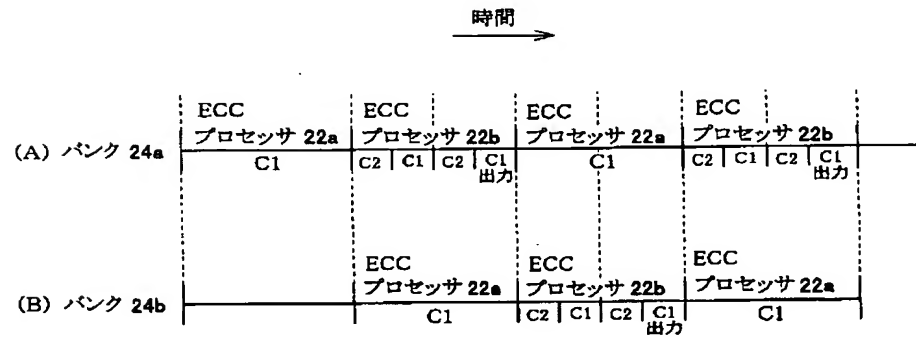
【0054】次に、バッファメモリコントローラ53およびメモリコントローラ43の制御に基づいて、出力用バッファメモリ54の記憶領域54₁～54_mに書き込まれたECC出力データS22aが順に、図6に示す列単位で読み出され、ECCプロセッサ22bに出力される。また、記憶領域54₁～54_mのうち既にECC出力データS22aが読み出された記憶領域54₁～54_mに、ECCプロセッサ22aから出力されたECC出力データS22aが順に書き込まれる。

【0055】そして、ECCプロセッサ22bでは、入力したECC出力データS22aについてC2訂正が行われ、その訂正結果であるECC出力データS22b₁が、メモリコントローラ43の制御に基づいて、メモリ44に書き込まれる。次に、メモリ44からECC出力

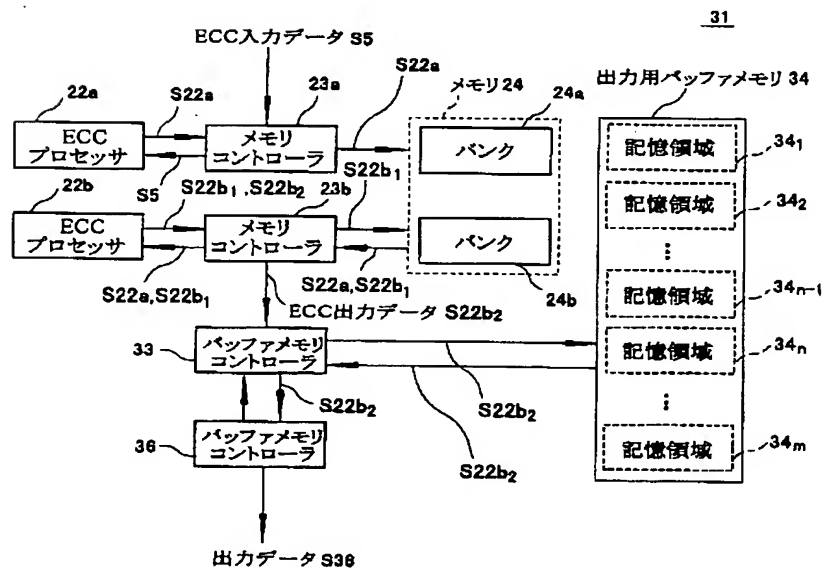
【図2】



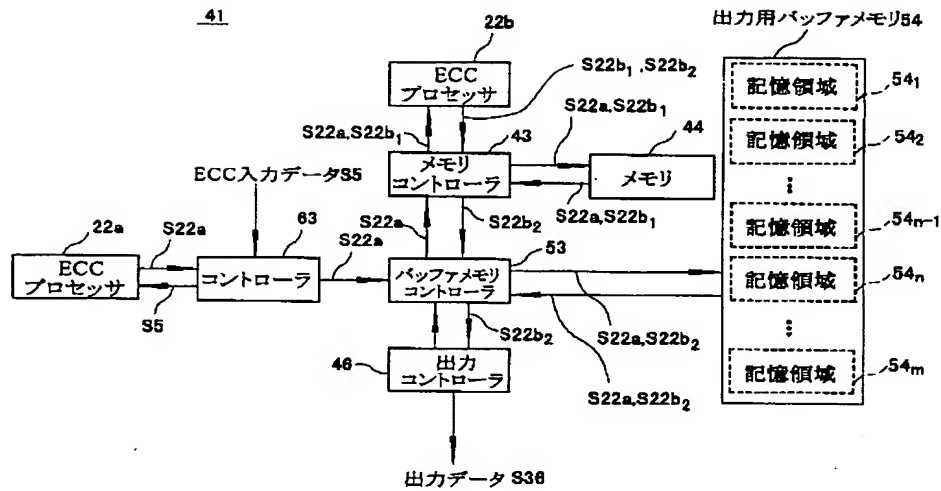
【図3】



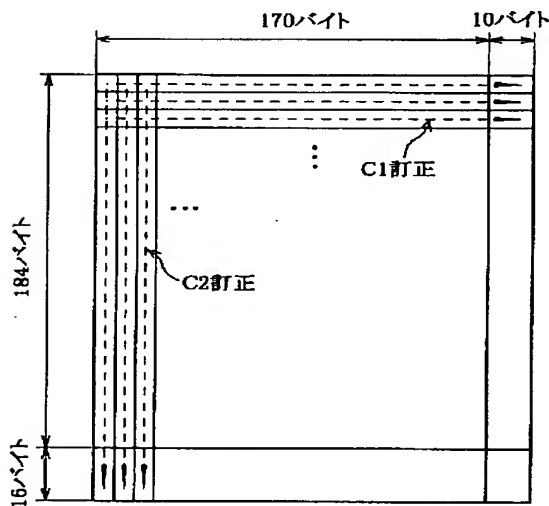
【図4】



【図5】

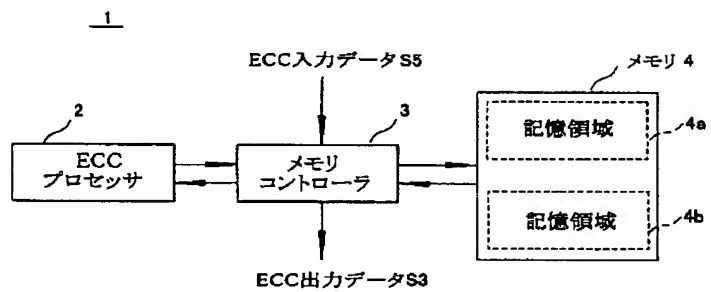


【図6】



積符号を用いたデータフレームの例

【図7】



【図8】

